

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-133958

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁶

G 0 6 F 12/16
9/06

識別記号

3 1 0
4 1 0

F I

G 0 6 F 12/16
9/06

3 1 0 J
4 1 0 S

審査請求 有 請求項の数 4 O L (全 6 頁)

(21) 出願番号

特願平8-289879

(22) 出願日

平成 8 年(1996) 10月31日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 内川 せとみ

東京都港区芝五丁目 7 番 1 号日本電気株式
会社内

(74) 代理人 弁理士 熊谷 雄太郎

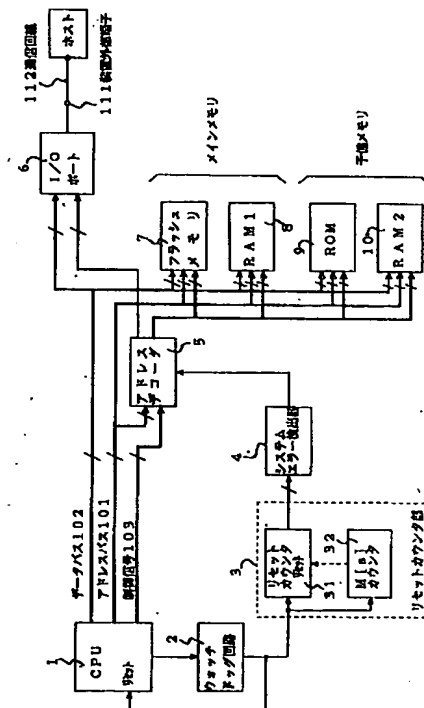
(54) 【発明の名称】 通信装置制御回路

(57) 【要約】

(修正有)

【課題】 フラッシュメモリを用いた通信端末装置の主制御回路の高性能化。

【解決手段】 CPU 1 が正常且つ所要な主制御動作時に CPU 1 のメインメモリを構成するフラッシュメモリ 7 と RAM 8 と、ウォッチドッグ回路 2 と、C ウォッチドッグ回路 2 より出力されるリセット信号回数をカウンタするリセットカウンタ 3 1 と、システムエラー時に主プログラムのダウンラインロード機能及びハードウェアチェック機能を有する予備プログラムによって CPU 1 が動作する為の予備メモリを構成する ROM 9 と RAM 1 0 と、CPU 1 が正常時メインメモリであるフラッシュメモリ 7 及び RAM 8 へのアクセス制御を行い、システムエラー時には予備メモリである ROM 9 及び RAM 1 0 へ強制的にアクセス領域を切り替え、制御するアドレスデコーダ 5 とから構成されている。



【特許請求の範囲】

【請求項1】 主制御を担う中央処理装置（以下CPU）に所要の処理を行わせる為の主プログラムをCPUのメインメモリである電氣的消去可能なフラッシュメモリに記憶させておく機能を有する移動体衛星通信装置等の通信機器端末の制御系回路において、前記CPUが正常且つ所要な主制御動作時にCPUのメインメモリを構成するランダムアクセスメモリ（以下第1のRAM）及びフラッシュメモリと、CPUが定期的に出力するウォッチドッグ用パルスによりCPUの異常状態を監視し異常状態を検出した際にCPUに対してリセットを行うウォッチドッグ回路と、CPUの正常動作時に“0”にリセットされ前記ウォッチドッグ回路より出力されるリセット信号回数をカウントするリセットカウンタと、該リセットカウンタが値“N”となると前記CPUは復帰不可能な暴走状態となるシステムエラーであることを判断するシステムエラー検出器と、システムエラー時に主プログラムのダウンラインロード機能を有する予備プログラムによってCPUが動作する為の予備メモリを構成するランダムアクセスメモリ（以下第2のRAM）及びリードオンリメモリ（以下ROM）と、CPUが正常時に前記メインメモリであるフラッシュメモリ及び第1のRAMへのアクセス制御を行いシステムエラー時には前記予備メモリである第2のRAM及びROMへ強制的にアクセス領域を切り替えて制御するアドレスデコーダとを有することを特徴とした通信装置制御回路。

【請求項2】 予備メモリを構成する前記ROMまたは第2のRAMに所要のアプリケーションプログラムを格納し、システムエラー発生原因の究明あるいはハードウェアチェック等を行うことを更に特徴とする請求項1に記載の通信装置制御回路。

【請求項3】 前記CPUが暴走状態から復帰して定常状態となったときに前記リセットカウンタのカウント値を初期化するM[s]カウンタを具備することを更に特徴とする請求項1に記載の通信装置制御回路。

【請求項4】 前記システムエラー検出器を、前記リセットカウンタの出力に各入力が接続された“N”デコーダ及び“0”デコーダと、該“N”デコーダの出力がセット端子に接続されるとともに、前記“0”デコーダの出力がリセット端子に接続されその出力端子が前記アドレスデコーダに接続されたフリップフロップとにより構成したことを更に特徴とする請求項1に記載の通信装置制御回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、CPUを用いた通信機器端末装置に関し、特に、装置制御用の主プログラムを電氣的に消去及び書き込み可能なフラッシュメモリに記憶させる方式の通信装置制御回路に関する。

【0002】

【従来の技術】 近年、通信端末装置では、ネットワークの多様化が進み、それによる装置への高機能化の要求が増大している。更に、通信端末装置はより複雑で機能的に優れたものへと日々進化している。

【0003】 このような動向の中で、生産ロットの切り替わりの際や、通信端末装置が市場に出荷された後に、機能追加または修正等といった主プログラムのバージョンアップが必須となってきている。そこで生まれたのが電氣的に書き換え可能なフラッシュメモリを用いることであつて、通信回線を介してホスト側からダウンラインロードを行う方式であり、この方式によると装置を解体し、装置内部のROMの交換を行うことなく容易に主プログラムのバージョンアップが可能となる。このような技術は、例えば、特開平8-55068号公報「通信端末装置」に開示されている。

【0004】

【発明が解決しようとする課題】 上述したように、主プログラムは、フラッシュメモリに記憶されている。このフラッシュメモリは、電氣的に消去及び書き換え可能であるために、主プログラムによるCPUの動作時に暴走した場合には、メインメモリの主プログラム領域に不当なデータが上書きされてしまう可能性がある。このような場合、主プログラムをフラッシュメモリにダウンラインロードし直す必要があるが、ダウンラインロード機能の制御プログラム領域が破壊されてしまった場合には、また、ダウンラインロード機能用プログラムがフラッシュメモリとは別のメインメモリを構成するROMに格納されていたとしても、前記ROMへのアクセス制御プログラムが破壊されてしまえば、フラッシュメモリ素子を交換するしか手段は無い。即ち、フラッシュメモリを用いて通信回線からダウンラインロードする方式の本来の目的であるところのメモリ素子の交換をせずに主プログラムのバージョンアップを行うという手段が適用できない場合が発生する。

【0005】 本発明は従来の上記実情に鑑み、従来の技術に内在する上記課題を解決する為になされたものであり、従つて本発明の目的は、フラッシュメモリを用いた通信端末装置の主制御回路の信頼性を高めることにあ

【0006】

【課題を解決するための手段】 本発明の通信装置制御回路は、第1の特徴として、CPUのウォッチドッグリセットによってCPUが復帰出来ない状態にあることを検出するリセットカウンタとシステムエラー検出器とを備えている。

【0007】 本発明の第2の特徴として、前記システムエラー検出器にてシステムエラーであると判断した場合、CPUがアクセスするメモリ領域を強制的にダウンラインロード機能プログラム及び、予備動作時に所要な機能プログラムが格納されている予備メモリ領域に切り

3

替えるアドレスデコーダと、前記予備メモリ領域を構成する予備プログラム格納用リードオンリメモリ（ROM）とランダムアクセスメモリ（RAM）とを備えている。

【0008】これらの特徴により、CPUが暴走しウォッチドッグリセットでは復帰不可能な状態になった場合でも、予備プログラムによる処理動作予備メモリ領域に切り替えることで主プログラムのダウンラインロードが可能となり、メモリ素子の交換をすることなく復帰することができる。

【0009】

【実施例】次に本発明をその好ましい一実施例について図面を参照しながら具体的に説明する。

【0010】図1は、本発明の一実施例を示すブロック構成図である。

【0011】図1を参照するに、本発明に係る通信装置制御回路は機能的に3つのブロックに分けられる。第1に、主プログラムによって所要な制御を行う為の主制御処理は、CPU1と、前記制御処理動作のメインメモリであるフラッシュメモリ7とRAM（1）8と、CPU1がメインメモリへアクセスする際のアクセス制御を行うアドレスデコーダ5とで構成される制御回路で実現される。

【0012】第2に、CPU1の動作状態の監視機能として、CPU1の出力ウォッチドッグパルスを監視し、このパルスがCPU1より出力されない場合に、CPU1にリセット信号を出力するウォッチドッグ回路2と、前記リセット信号を値：N回カウントするリセットカウンタ部3と、このリセットカウンタ部3が所定値：NとなりCPU1が復帰不可能な暴走状態であること（システムエラー）を検出するシステムエラー検出器4で構成される。

【0013】第3の機能として、前述のシステムエラーの際の処理機能として、システムエラー時にCPU1のメモリアクセス領域を強制的に予備メモリ領域に切り替え、アクセス制御を行うアドレスデコーダ5と、システムエラーの際の所要の制御処理を行う為の予備プログラムを記憶しているROM9と前記ROM9と共に予備メモリを構成するRAM（2）10とから構成されている。

【0014】図2はシステムエラー検出器の一例を示すブロック構成図である。

【0015】図2を参照するに、システムエラー検出器4は、“N”デコーダ41と“0”デコーダ42とフリップフロップ43によって構成されている。“N”デコーダ41と“0”デコーダ42の各入力のリセットカウンタ31の出力に接続され、“N”デコーダ41および“0”デコーダ42の各出力はそれぞれフリップフロップのセット端子、リセット端子に接続されている。リセットカウンタ31の出力がカウント値“N”のときのみ

4

“N”デコーダ41が作用し、その出力によってフリップフロップ43がセットされてその出力が“1”になる。リセットカウンタ31の出力が“N”以外ときには“0”デコーダが作用し、その出力によってフリップフロップ43がリセットされて、その出力は“0”になる。

【0016】以下に本発明の動作を図1を参照しながら説明する。

【0017】本発明に係る回路は、所要の制御を行う主プログラムを通信回線112よりフラッシュメモリ7へダウンラインロード可能な機能を有するものである。前記通信回線112とは、通信衛星を介し、通信端末装置と接続される衛星通信回線であり、また、通信用ケーブルを介してパーソナルコンピュータと接続される通信回線であり、さらにまた、電話回線でもある。

【0018】通信回線112は、装置外部端子111よりCPU1の制御により信号の入出力を司るI/Oポート6を介してCPU1と接続されている。CPU1が、ウォッチドッグパルスを定期的に出力し、ウォッチドッグ回路2ではCPU1が定常状態であると判断している場合には、本制御回路は、通信回線112を介したホストよりダウンラインロード要求コマンドを受信すると、フラッシュメモリ7の主プログラム領域を構成する複数のタスクの内の一つであるダウンラインロード実行用タスクが起動され、主プログラム格納領域は新規主プログラムに書き換えられる。この際には、ダウンラインロード処理動作で必要なメインメモリであるRAM（1）8内のダウンラインロード処理用領域へもアクセスされる。

【0019】上述と同様に、CPU1が定常状態であり、所要の制御処理を行う場合には、フラッシュメモリ7に格納されている所要な機能のタスクが起動され、RAM（1）8の処理用メモリ領域が使用され、処理動作が行われる。これらのI/Oポート6、フラッシュメモリ7、RAM（1）8へのアクセス制御は、CPU1より入力されるアドレスバス101及び制御信号103の情報をもとにどの領域へアクセスするか、また、CPU1によってアクセスするデータは入出力どちらなのかを判断するアドレスデコーダ5に委ねられる。

【0020】一方、ウォッチドッグ回路2によるリセット動作は、CPU1の定期的な出力ウォッチドッグパルスがCPU1の暴走等により定められた時間内にウォッチドッグ回路2へ入力されない場合に発生するものである。通常、フラッシュメモリ7の主プログラムメモリ領域が消去及び書き換えにより破壊されない限り、ウォッチドッグリセット動作でCPU1は、暴走状態から復帰可能である。

【0021】また、ウォッチドッグリセットでリセットカウンタ31は、カウントを開始する。カウント値がNより大きくなれば、システムエラーとなるが、CPU1

が復帰した場合、あるいは、定常状態である場合には、リセットカウンタ31の値は、“0”にリセットされる。何故ならば、リセットカウンタ部3は、ウォッチドッグパルスを周期： $M[s]$ で監視する為の $M[s]$ カウンタ32を備えている為に、この $M[s]$ カウンタ32は、ウォッチドッグリセットで位相補正され、 $M[s]$ 毎にウォッチドッグリセットを監視し、ウォッチドッグリセットが入力されない場合に、リセットカウンタ31を“0”にリセットするものである。従って、CPU1が定常状態には、リセットカウンタ31は常に値“0”の状態となる。

【0022】ここで、リセットカウンタ31、 $M[s]$ カウンタ32及びその周辺回路の動作について図3のタイミングチャートを参照しながら詳細に説明するに、ウォッチドッグ回路2は、CPU1からのウォッチドッグパルスが入力されなくなると、一定周期： $M[秒]$ のリセットパルスを出力する。 $M[s]$ カウンタ32は、前記周期： $M[秒]$ と同周期のカウントであり、フライホイールでカウント可能な自走カウンタである。

【0023】定常状態時において、 $M[s]$ カウンタ32の基本動作は、ウォッチドッグ回路2よりリセットパルスがリセットカウンタ部3に入力されないので、 $M[s]$ カウンタ32にはリセットはかからず、フライホイールで繰り返し $M[秒]$ をカウントする。更に、 $M[秒]$ のカウント完了時に、この $M[秒]$ 間にリセットパルスの入力があったかの確認が行われる。定常状態であれば、ウォッチドッグ回路2からのリセット入力はないので、 $M[s]$ カウンタ32はリセットカウンタ31にリセット信号を出力してリセットカウンタ31をリセットする。

【0024】暴走状態時における $M[s]$ カウンタ32の基本動作は、ウォッチドッグ回路2よりリセットパルスがリセットカウンタ部3に周期： $M[秒]$ 毎に入力されるので、この度に $M[s]$ カウンタ32はリセットされる。従って、 $M[秒]$ のカウント完了の度にリセットパルスによりリセットがかかるのでリセットパルスの位相と $M[s]$ カウンタ32の出力位相は同相となる。更に、 $M[s]$ カウンタ32は、定常状態時と同様に、 $M[秒]$ のカウント完了時に、この $M[秒]$ 間にリセットパルスの入力があったかの確認を行う。この場合には、リセット入力は、 $M[秒]$ 毎に入力されるので、 $M[s]$ カウンタ32はリセットカウンタ31へのリセット信号を出力しない。

【0025】要するに、この $M[s]$ カウンタ32の目的は、CPU1が暴走状態から復帰し、定常状態となった場合に、リセットカウンタ31のカウント値を初期化することにある。

【0026】図3において、ウォッチドッグ回路2の出力であるリセットパルスが入力されるまでは $M[s]$ カウンタ32自身のタイミングで $M[秒]$ をカウントし

ているために、A区間は $M[秒]$ に満たない場合がある。

【0027】次に、本発明に係る回路の特徴であるシステムエラー時の動作について図1を参照して説明する。

【0028】CPU1の暴走により、フラッシュメモリ7の主プログラムメモリ領域が消去、及び書き換えにより破壊されてしまった場合には、上述のウォッチドッグリセットではCPU1の復帰が不可能となる場合が想定される。この状況では、ウォッチドッグパルスがCPU1より出力されない状態が継続してしまうために、ウォッチドッグ回路2の出力信号であるウォッチドッグリセットが周期： $M[s]$ 毎に出力される。ここでCPU1がある一定時間： $L[s]$ 暴走状態であればシステムエラーであると定義した時に、時間： L と周期： M との関係は： $L=M \times (N-1)$ ($N>0$)で定義付けられる。従って、リセットカウンタ31は、ウォッチドッグリセット毎に“1”づつ加算されるカウンタである。

【0029】システムエラー検出器4では、前記リセットカウンタ31でのカウント値が N より大きい場合にシステムエラーと判断し、システムエラー状態信号をアドレスデコーダ5へ出力する。アドレスデコーダ5はシステムエラー状態信号を受け取ると即座にCPU1のアクセス領域を強制的に予備メモリ領域へ切り替える。予備メモリを構成するROM9にはシステムエラー時に所要となる機能であるところの、例えば、主プログラムのメインメモリ内のフラッシュメモリ7へのダウンラインロード機能プログラムや、本発明の制御回路及びその周辺回路のハードウェアチェック機能プログラムなどを記憶させておく。

【0030】CPU1は、システムエラー検出後のウォッチドッグリセット信号により予備プログラムでの処理動作が起動され、復帰する。そして、メインメモリ内のフラッシュメモリ7への主プログラムのダウンラインロード処理が予備プログラムによって予備メモリを使用して行われる。

【0031】また、予備動作時の必要なアプリケーションプログラムを予備メモリ内ROM9へ格納しておくことで、システムエラー発生原因の究明やハードウェアに損傷が無い等ハードウェアチェックを行うことも可能である。

【0032】

【発明の効果】以上説明したように、本発明によれば、電氣的消去及び書き込み可能なフラッシュメモリによるダウンラインロード方式を採用した主制御回路において、メインメモリ内のフラッシュメモリに格納された主プログラムが、CPUの暴走等により消去、または書き換えられてCPUが復帰不可能な状態に陥ってしまった場合でも、システムエラー時にアクセスメモリ領域が予備メモリ領域に切り替えられることで予備プログラムが起動し、破壊された主プログラムを修復することが可能

となる。

【0033】更に本発明によればまた、前記予備プログラムにハードウェアチェック等のアプリケーション機能を持たせることで、システムエラーの原因の究明やハードウェアチェックに有用とすることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック構成図である。

【図2】本発明に係るシステムエラー検出器の一例を示すブロック構成図である。

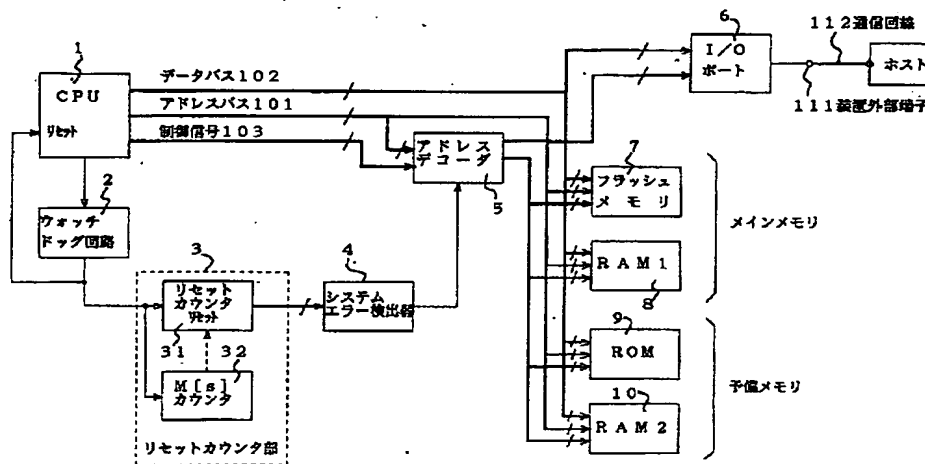
【図3】本発明における動作の主要部を示すタイミングチャートである。

【符号の説明】

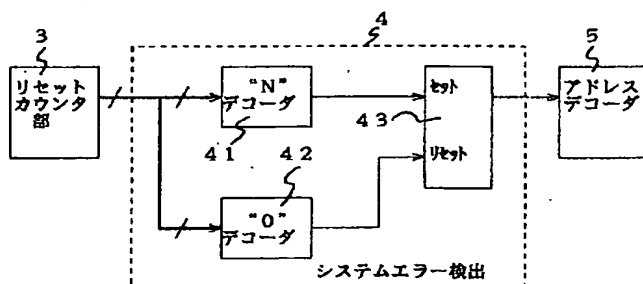
- 1…CPU
- 2…ウォッチドッグ回路
- 3…リセットカウンタ部
- 31…リセットカウンタ

- 32…M[s] カウンタ
- 4…システムエラー検出器
- 41…“N”デコーダ
- 42…“0”デコーダ
- 43…フリップフロップ
- 5…アドレスデコーダ
- 6…I/Oポート
- 7…フラッシュメモリ
- 8…RAM1
- 9…ROM
- 10…RAM2
- 101…アドレスバス
- 102…データバス
- 103…制御信号
- 111…装置外部端子
- 112…通信回線

【図1】



【図2】



【図3】

N = 5の場合

